

Module d'affichage multiplexé 4 digits 7 segments. AFF_V1

Pré requis: Connaissance des voyants LED, logique combinatoire, multiplexeur et transistor bipolaire

Objectifs. dimensionnement d'un circuit de commande d'afficheurs LED, analyse de la documentation constructeur sur les circuits logiques standards (features, table de vérité, chronogrammes), prise en main de la carte logique programmable (programmation sur site), apprentissage de la technique de multiplexage de l'affichage.

1. Cahier des charges:

Il s'agit de réaliser un module d'affichage autonome au format du bus de connexion ER1. L'information affichée sera dispensée de manière permanente sur quatre afficheurs de technologie LED.

- L'information élémentaire à afficher sera codée sur un digit décimal et sera disponible en entrée de la carte sur 4 bits au format DCBN et compatibles TTL.
- L'affichage sera multiplexé dans le temps et la validation d'un afficheur parmi les quatre se fera au moyen de 4 lignes de commandes niveau TTL actives au niveau bas (notée sel_aff1*,sel_aff2*,...sel_aff4*).
- Un connecteur implanté sur la carte permettra la mise en place éventuelle de 2 jumpers afin d'afficher un point de séparation de manière permanente.
- Le chiffre indexé le plus à gauche sera noté 1 et le chiffre indexé le plus à droite sera noté 4.
- Le système possèdera son propre générateur de caractères.
- L'alimentation de la carte se fera en +5V uniquement.

2. Plan de travail proposé

2.1 Procéder à l'analyse du cahier des charges.

On veillera à définir clairement la notion d'afficheur, la notion de générateur de caractères en proposant des exemples de fonctionnement issus de la documentation constructeur et l'intérêt du codage DCBN pour la gestion de cette information.

2.2 Etude du schéma bloc fonctionnel

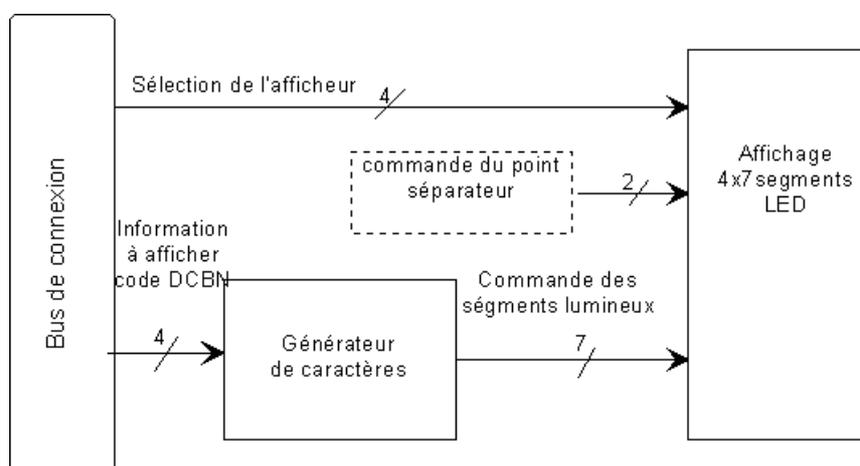


Figure 1: Schéma fonctionnel du module d'affichage

Sur le schéma fourni, on prendra soin de procéder au découpage du schéma électrique afin de localiser les blocs fonctionnels en faisant ressortir les ressources échangées. **On demande de refaire le schéma électrique en faisant apparaître ce découpage fonctionnel, donc de redessiner bloc par bloc les éléments du schéma sur le cahier de laboratoire.**

Pour chacun des blocs, on détaillera le rôle des ressources d'entrée et de sortie, leur format électrique ainsi que quelques lignes décrivant la fonction à réaliser. On prendra soin de représenter graphiquement un ou plusieurs exemples de fonctionnement attendus théoriquement.

Pour chaque bloc, on proposera un dimensionnement pertinent des éléments à calculer ou on justifiera le câblage de ces derniers à l'aide de la documentation constructeur. (extraire clairement de la documentation les quelques informations nécessaires au dimensionnement et celles qui vous paraissent un critère de sélection du composant en comparant ses caractéristiques au cahier des charges).

2.3 Comparaison des topologies possibles entre une solution // et une solution multiplexée.

On peut associer un générateur de caractère (74LS47) par afficheur et utiliser la sélection de l'afficheur pour piloter la validation du générateur de caractère

Ou bien n'utiliser qu'un seul générateur de caractère et valider l'alimentation générale d'un afficheur à partir des signaux de sélection d'afficheur

2.3.1 Bloc générateur de caractères

Analyser la documentation du 74LS47 et justifiez la solution de câblage retenue sur le schéma de la carte. Observez notamment le rôle des entrées BI/RBO et LP sur ce circuit.

2.3.2 Bloc sélection d'un afficheur

Ce bloc permet de distribuer l'alimentation au point commun de l'afficheur 7 segments. Le signal de sélection présent à l'entrée de la carte étant au format TTL, il ne permet pas de fournir suffisamment de courant à l'afficheur. On lui adjoint donc une interface de puissance réalisée par 4 transistor MOS FET canal P dont le fonctionnement équivalent est celui d'un interrupteur électronique commandé par une tension logique. (voir doc. du BS250 partie features).

2.4 Réalisation pratique des blocs fonctionnels et Validation.

Il s'agira de réaliser une nomenclature sur feuille avec cartouche en distinguant bien les deux blocs fonctionnels puis, à l'aide du Circuit imprimé fourni (aff_v1), on câblera séquentiellement les blocs pré-étudiés. On proposera une méthode (schéma de banc de test ou de câblage) permettant de valider séparément le fonctionnement de chacun de ces blocs.

On pourra par exemple imposer quelques configurations statiques types sur les entrées logiques de la carte (on dispose d'une carte à interrupteur permettant de fixer des niveaux logiques sur la bus de connexion) et observer le comportement du bloc de décodage puis de l'affichage. On demande de consigner l'ensemble de ces tests sur le carnet de bord.

La vérification du fonctionnement statique devra être validé par l'enseignant.

3. Validation de la carte au moyen de la carte logique programmable

Cette dernière partie va permettre un test dynamique de notre module d'affichage. Ce test se déroulera en deux parties:

1) TEST1 : fichier à créer TEST_AFF1.GDF

programmer la carte logique ALTERA de manière à ce que l'on puisse afficher la valeur "5" sur le premier et le troisième chiffre de l'afficheur.

Logigramme fonctionnel proposé:

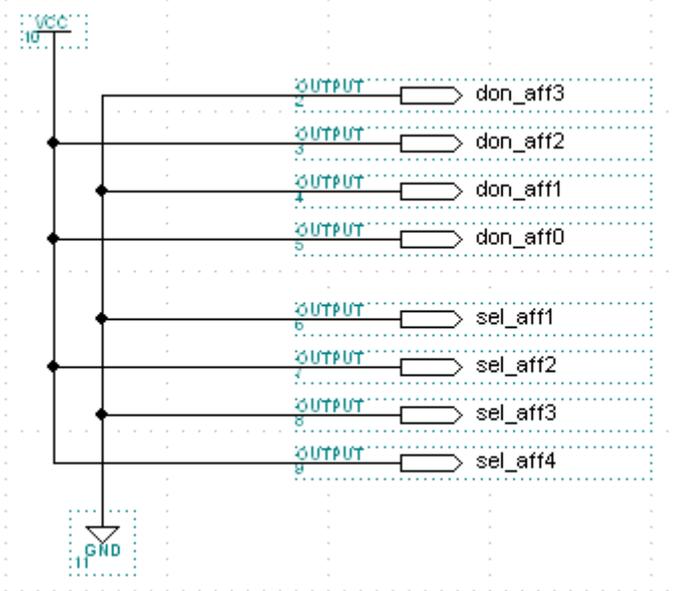


Figure 2: logigramme fonctionnel proposé pour le test 1

Sur ce logigramme il convient de consulter la documentation de la carte logique programmable pour déterminer la correspondance entre n° de pin du PLD et n° de broche du connecteur de bord de carte.

Utiliser le fichier d'E/S disponible sur **POSEIDON/CADSTAR-LIB/ER1/thermo_7064.GDF** pour y coller le symbole de cette fonction.

2)TEST2 : fichier à générer: test_aff2.gdf

Programmer la carte logique de manière à ce que l'on puisse afficher la valeur 5 sur les chiffres de 1 à 4 suivant la valeur sélectionnée par deux boutons poussoirs (BP1 et BP2) présents sur la carte PLD

Attention, ces deux boutons sont dits actifs à l'état bas c'est à dire qu'il fournissent un niveau logique 0 en cas d'appui. On pourra par exemple synthétiser les différentes fonctions logiques combinatoires permettant de générer les signaux de sélection des afficheurs ou utiliser directement une macro fonction de type décodeur logique (DECOD4 que l'on crée à partir du WIZARD) qui active une sortie parmi 4 en fonction de la combinaison présentée sur les entrées de sélection (S0, S1).

Attention, les sorties de la macro DECOD4 sont actives au niveau 1 alors les signaux de sélection des afficheurs sont activent au niveau bas. on prendra donc soin d'inverser les sorties du décodeur avant de les faire sortir du PLD (en utilisant une porte NOT par exemple)

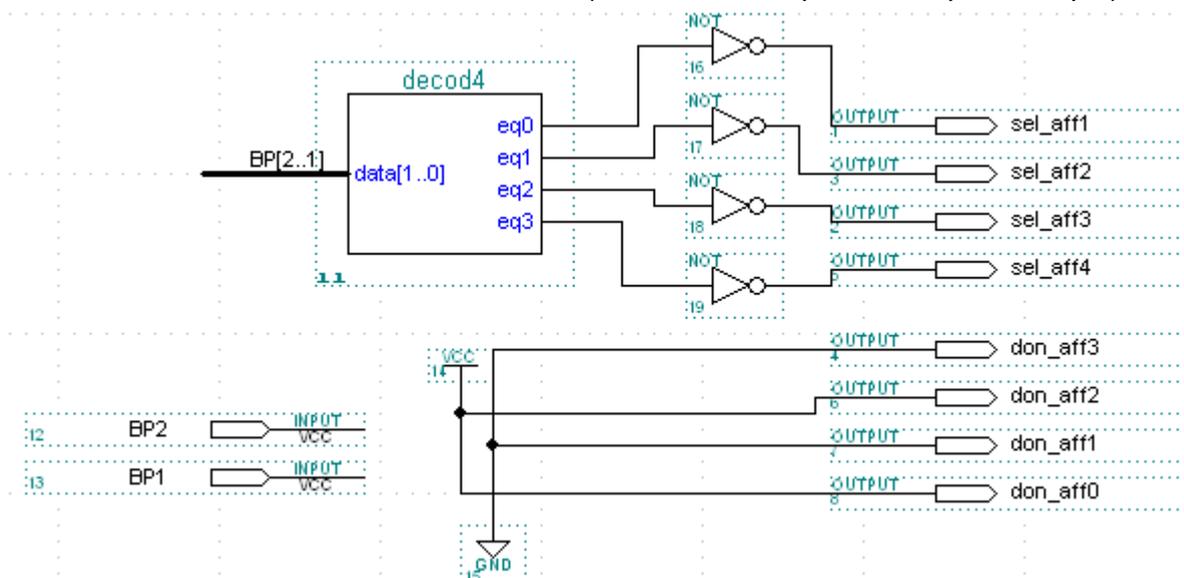


Figure 3: logigramme proposé pour le test 2

Faire valider par l'enseignant le bon fonctionnement de cette phase de test.

N° broche sur le Connecteur du bus	Affectation du signal
1	GND, masse générale
3	+5V, alimentation positive
9	sel_aff1*, sélection de l'afficheur 1
10	sel_aff2*, sélection de l'afficheur 2
11	sel_aff3*, sélection de l'afficheur 3
12	sel_aff4*, sélection de l'afficheur 4
13	Don_aff0, entrée DCBN 0 (LSB)
14	Don_aff1, entrée DCBN 1
15	Don_aff2, entrée DCBN 2
16	Don_aff3, entrée DCBN 3 (MSB)

Tableau 1: liste de affectations de la carte CNA_V1 sur le Bus de connexion (bord de carte)

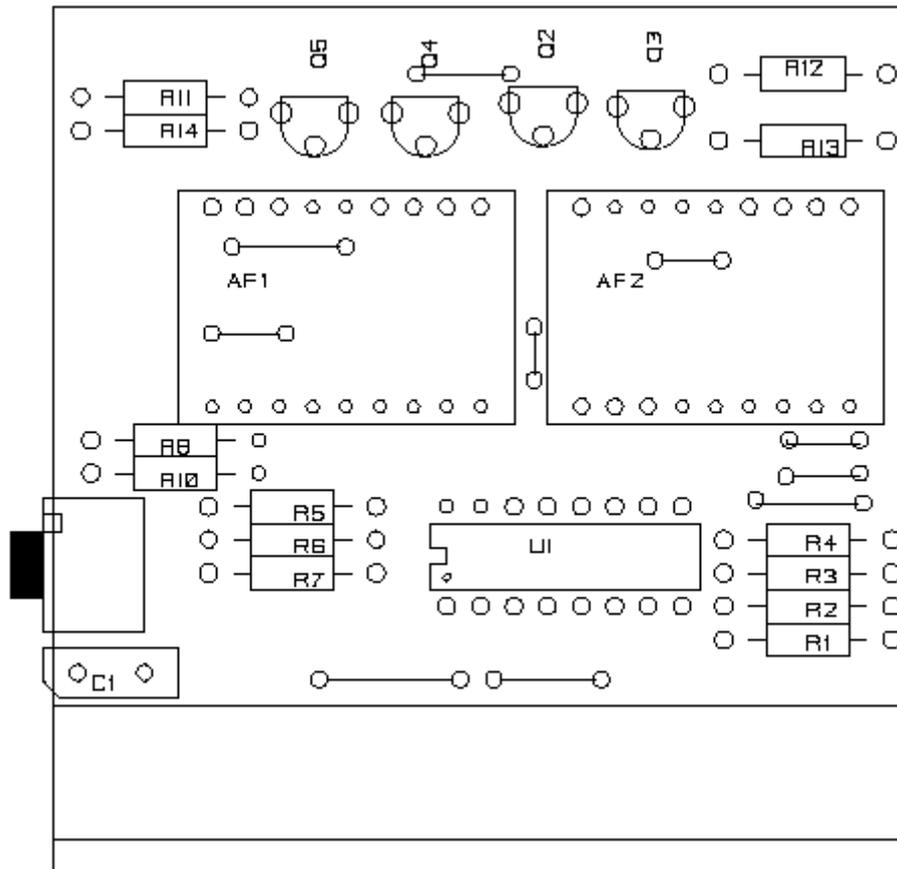


figure 4 : implantation de la carte aff_V1