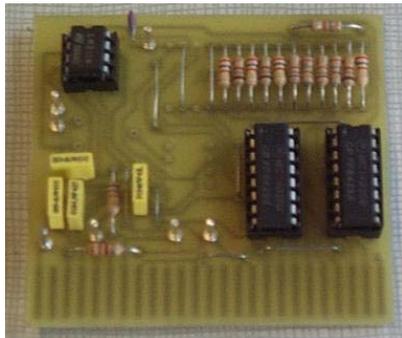


Module de conversion tension/temps à base de convertisseur à rampe CNA_V1



Pré requis: Connaissance niveaux électriques MOS et TTL, logique séquentielle (compteurs) comparateur de tension.

Objectifs. principe de la conversion numérique CNA à rampe, principe de la conversion A/N à partir d'un CNA, utilisation et implantation d'un compteur sur carte logique programmable.

1. Cahier des charges:

- Il s'agit de réaliser un module permettant de transformer une tension analogique d'entrée ($V^{\circ}c$) comprise entre 0 et 5V en un signal périodique (fréquence fixe) dont le rapport cyclique est directement proportionnel à cette tension d'entrée. On réalise une conversion tension analogique d'entrée/temps à l'état bas aussi modulation en largeur d'impulsion (MLI)..
- La conversion à réaliser aura une précision de 0.08V minimum sur l'échelle de conversion.
- Le principe de conversion retenue est du type convertisseur à rampe.
- La synthèse de la rampe numérique sera réalisée par le gestionnaire logique programmable.
- L'alimentation de la carte se fera en 12V/-12V et +5V associée à une référence 5V précise.

2. Plan de travail proposé

2.1 Procéder à l'analyse du cahier des charges.

On veillera à définir clairement la notion de convertisseur à rampe et notamment le principe des CNA de type R2R. On justifiera l'utilité d'une référence de tension sur le bus de connexion. Un composant de type comparateur de tension à sortie collecteur ouvert doit être utilisé dans ce module. Il s'agira de justifier son emploi à l'aide de la documentation constructeur.

2.2 Etude du schéma bloc fonctionnel

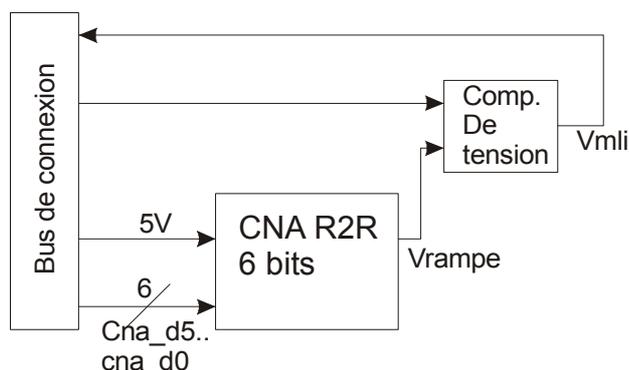


Figure 1: Schéma fonctionnel du module conversion tension/temps

Sur le schéma fourni, on prendra soin de procéder au découpage du schéma électrique afin de localiser les blocs fonctionnels en faisant ressortir les ressources échangées. (Refaire le schéma électrique en faisant apparaître ce découpage fonctionnel).

Pour chacun des blocs, on détaillera le rôle des ressources d'entrées et de sorties, leur format électrique et on prendra soin de représenter graphiquement un ou plusieurs exemples de fonctionnement attendu théoriquement.

Pour chaque bloc, on proposera un dimensionnement pertinent des éléments à calculer ou on justifiera le câblage des éléments à l'aide de la documentation constructeur. (extraire clairement de la documentation les quelques informations nécessaires au dimensionnement et celles qui vous paraissent un critère de sélection du composant en comparant ses caractéristiques au cahier des charges).

2.3 Etude du bloc CNA R2R.

La fonction réalisée par ce bloc est de convertir sous forme analogique (une tension comprise entre 0V et 5V) une information binaire présentée sous forme parallèle. On demande de réaliser l'étude théorique sur le montage suivant:

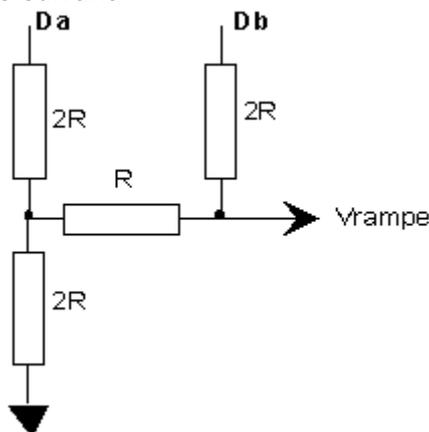


Figure 2: Réseau R2R limité à 2 entrées logiques.

En appliquant le théorème de thevenin et en procédant par schémas équivalents successifs, déterminer la tension obtenue en V_{rampe} suivant que les entrées D_a et D_b présentent deux états possibles:

Etat logique 1: $D_x = V_{ref}$

Etat logique 0: $D_x = 0V$.

A partir de ces calculs on déterminera une loi générale en fonction de la valeur binaire affiché sur les entrées logiques D_a et D_b . Où se trouvent le MSB et le LSB? La conversion est elle une loi linéaire?

On étendra ce calcul directement au schéma électrique présenté dans notre application (entrées DAC_D0 à DAC_D5).

Dans ce cas, déterminer le pas de quantification (en tension) de ce convertisseur. De même, localiser sur ce schéma le MSB et le LSB.

A l'aide de cette étude, on justifiera l'emploi d'un circuit 4050 en technologie MOS par rapport à l'équivalent en TTL sachant que les signaux fournis par la carte logique programmable sont au format TTL Justifier l'emploi de la tension V_{ref} (référence 5V de précision) qui alimente le circuit 4050.

Remarque concernant le schéma électrique

Les composants n'apparaissant pas sur le schéma électrique ne seront pas soudés sur la carte. R17 sera remplacée par un STRAP.

Déterminer la forme de la tension obtenue sur V_{rampe} si les entrées logiques DAC_D0 à DAC_D7 correspondent à une progression binaire arithmétique linéaire (rampe numérique) ($D_0 = \text{LSB}$ et $D_7 = \text{MSB}$). Quelle sera la fréquence du signal V_{rampe} en fonction de la fréquence de comptage numérique.

Rôle de C4 sur le schéma et éléments permettant de le dimensionner.

2.4 Etude du bloc comparateur de tension

Ce composant (noté OA2 sur le schéma) permet de comparer les deux signaux présents sur ses entrées + et -. Le résultat de cette comparaison se traduit par l'état de sa sortie (collecteur ouvert). Justifier l'emploi d'un comparateur de tension par rapport à un simple amplificateur opérationnel en comparant leurs caractéristiques techniques (doc. LM311 et TL081).

Si le signal Vrampe est appliqué sur l'entrée non inverseuse (+) et le signal à convertir $V^{\circ}c$ sur l'entrée inverseuse (-), déterminer l'échelle de conversion et donner un chronogramme en sortie du bloc comparateur suivant que $V^{\circ}c = V_{ref}/4$, $V^{\circ}c = V_{ref}/2$, $V^{\circ}c = 3V_{ref}/4$ et $V^{\circ}c = V_{ref}$.

On demande d'établir la relation liant la valeur du rapport cyclique obtenu en sortie du bloc fonctionnel de comparaison à la valeur de tension présente sur l'entrée de conversion ($V^{\circ}c$).

Comment pourra-t-on disposer numériquement de la valeur de $V^{\circ}c$?

2.5 Réalisation pratique des blocs fonctionnels et Validation.

Il s'agira de réaliser une nomenclature sur feuille avec cartouche en distinguant bien les deux blocs fonctionnels puis, à l'aide du circuit imprimé fourni (cna_v1), on câblera **séquentiellement** les blocs pré étudiés et on proposera une méthode (schéma de banc de test ou de câblage) permettant de valider séparément le fonctionnement de chacun de ces blocs. On pourra par exemple imposer quelques configurations statiques types sur les entrées logiques (DAC_D0 à DAC_D5) permettant de générer quelques points particuliers de la rampe numérique au moyen d'une carte interrupteur et relever quelques points de la caractéristique liant la tension Vrampe à la combinaison logique appliquée aux entrées. On demandera de consigner l'ensemble de ces tests sur le carnet de bord.

Pour le bloc comparaison, on vérifiera si les prédéterminations faites lors de l'étude sont validées (pour $V^{\circ}c = V_{ref}/2$ ). **La sortie du comparateur s'effectuera sur la broche 8 du connecteur du bus (mettre en place correctement le strap sur le circuit imprimé).** La vérification du fonctionnement statique du comparateur de tension devra être validé par l'enseignant.

3. Validation de la carte au moyen de la carte logique programmable

Cette dernière partie va permettre un test dynamique de notre module de conversion.

1) programmer la carte logique de manière à ce que l'on puisse générer une rampe numérique au format 6 bits sur les entrées DAC_D5 à DAC_D0 du module. L'horloge de comptage sera réalisée au moyen d'un GBF (sortie TTL) branchée sur la broche 25 du bus de connexion. Le compteur binaire 6 bits sera réalisé à partir du WIZARD

Logigramme fonctionnel proposé:

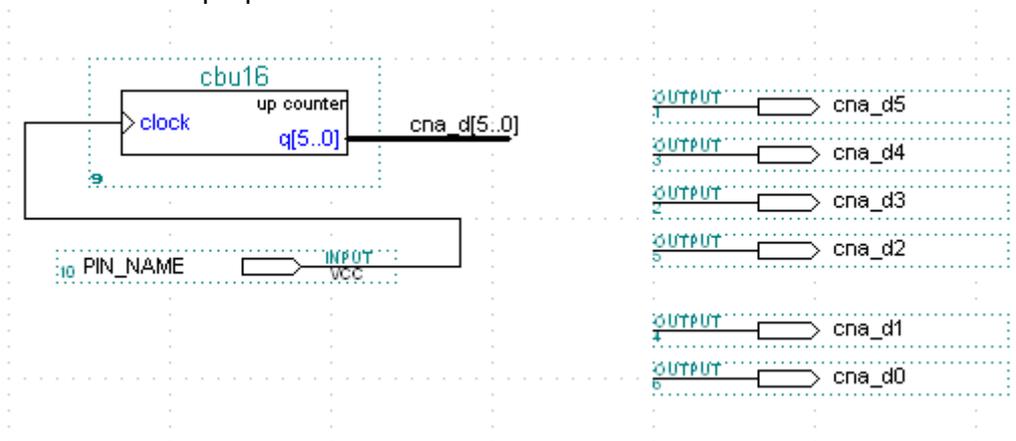


Figure 3: logigramme fonctionnel proposé pour le test dynamique du CNA R2R

Faire valider par l'enseignant le bon fonctionnement de cette phase de test.

On relèvera alors le chronogramme des signaux numériques générés sur DAC_D5 à DAC_D0, la tension Vrampe obtenue en sortie du bloc CNA R2R et la tension obtenue en sortie du bloc comparateur en fonction de plusieurs valeurs fixées de $V^{\circ}c$. On pourra utiliser l'oscilloscope numérique.

N° broche sur le Connecteur	Affectation du signal
1	GND, masse générale
6	ref+5V, alimentation logique du ci 4050
7	V°c, entrée analogique à convertir (TP4)
8	Vmli sortie du bloc comparateur (TP2)
19	DAC_D5(MSB), entrée bit 5 rampe numérique
20	DAC_D4, entrée bit 4 rampe numérique
21	DAC_D3, entrée bit 3 rampe numérique
22	DAC_D2, entrée bit 2 rampe numérique
23	DAC_D1, entrée bit 1 rampe numérique
24	DAC_D0, entrée bit 0 (LSB) rampe numérique
25	Horloge

Tableau 1: liste de affectations de la carte sur le Bus de connexion (bord de carte)

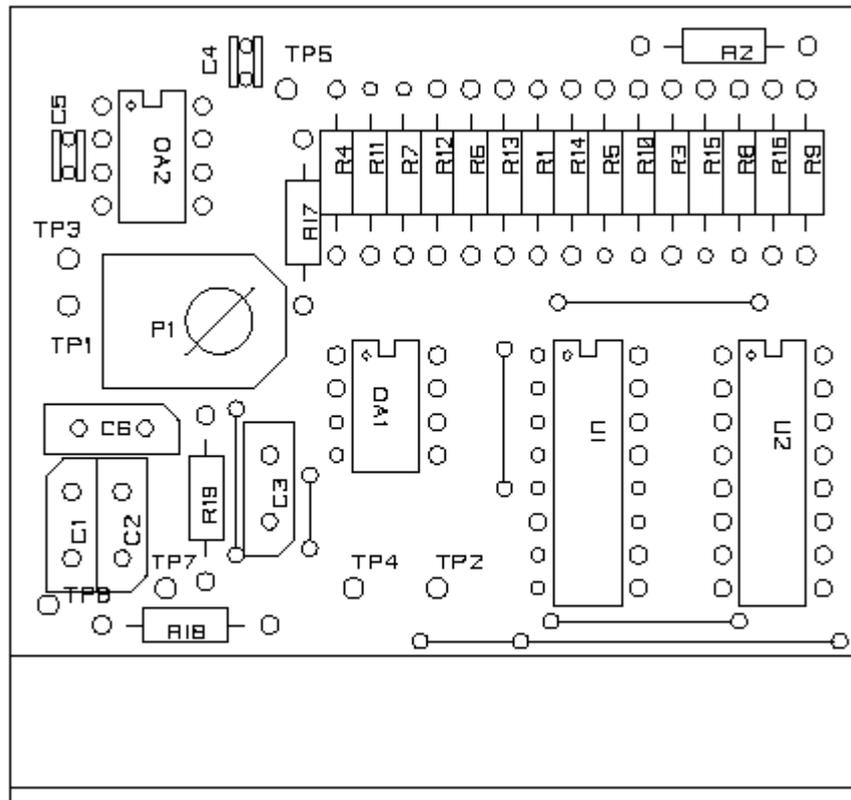


Figure 4 : implantation de la carte CNA_V1