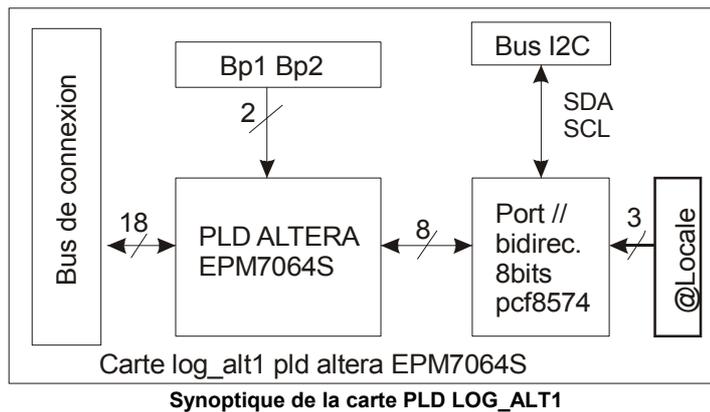


Mise en place d'un bus de communication I2C



1. Introduction:

Les cartes logiques programmables LOG_alt1 possèdent un périphérique port parallèle 8 bits bidirectionnel compatible avec la norme I2C (philips) relié au PLD ALTERA. Cela signifie que ce périphérique peut être utilisé sur un bus I2C, pour fournir ou recevoir de celui-ci un octet en provenance ou à destination du PLD LATTICE (voir le synoptique de la carte PLD)



Carte log_alt1 pld altera EPM7064S

Synoptique de la carte PLD LOG_ALT1

Ce bus I2C permet de faire communiquer entre elle deux séries de 8 cartes logiques PLD LOG_alt1 (la série de cartes dépendant de la référence du port I2C ref PCF8574 ou PCF8574A).

La communication entre deux cartes PLD (toujours esclaves) est initiée par un maître unique sur le bus (le contrôleur de bus I2C). Pour différencier une carte PLD par rapport aux autres sur le bus, l'utilisateur dispose de 3 dip-switches (numérotés de 1 à 3) sur la carte PLD. Ainsi, par série de PCF8574, on peut différencier jusqu'à 8 cartes PLD sur le bus. Par convention en ER1, les cartes possédant une adresse paire seront des cartes esclaves réceptrice de la donnée (du bus I2C à destination du PLD) et les cartes d'adresses impaires seront au contraire esclaves émettrices de la donnée (du PLD vers le bus I2C).

Pour échanger des informations entre cartes émettrices et cartes réceptrices, le contrôleur du bus dispose d'un algorithme simple: Cycliquement, il vient chercher les données aux adresses impaires et les recopies aux adresses paires immédiatement inférieures. Ainsi, la carte d'adresse 1 renvoie une donnée vers le contrôleur qui la recopie à l'adresse 0, la carte d'adresse 3 renvoie une donnée recopiée par le contrôleur à l'adresse 2 et ainsi de suite.

Une mécanisme d'acquiescement de l'échange (acknowledgement) entre maître et esclave permet de déterminer à chaque instant la présence ou l'absence des esclaves. Ainsi lors d'une requête envoyée par le maître vers un esclave, la non réponse de celui-ci entraîne son élimination par le contrôleur de la table des échanges jusqu'à une prochaine scrutation générale du bus (toutes les 2s environ)..

2. Cahier des charges

Il s'agit de disposer plusieurs modules thermomètre répartis dans la salle d'ER1 et de transmettre, via un bus I2C, les températures mesurées vers une batterie de module d'affichage situés à proximité du contrôleur du bus I2C.

L'affichage de la température doit aussi se faire au niveau de la prise de mesure.

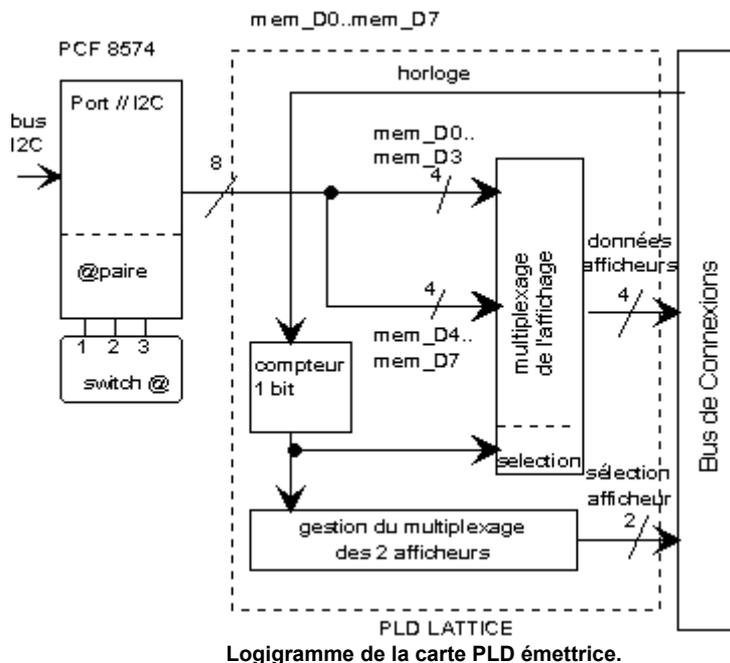
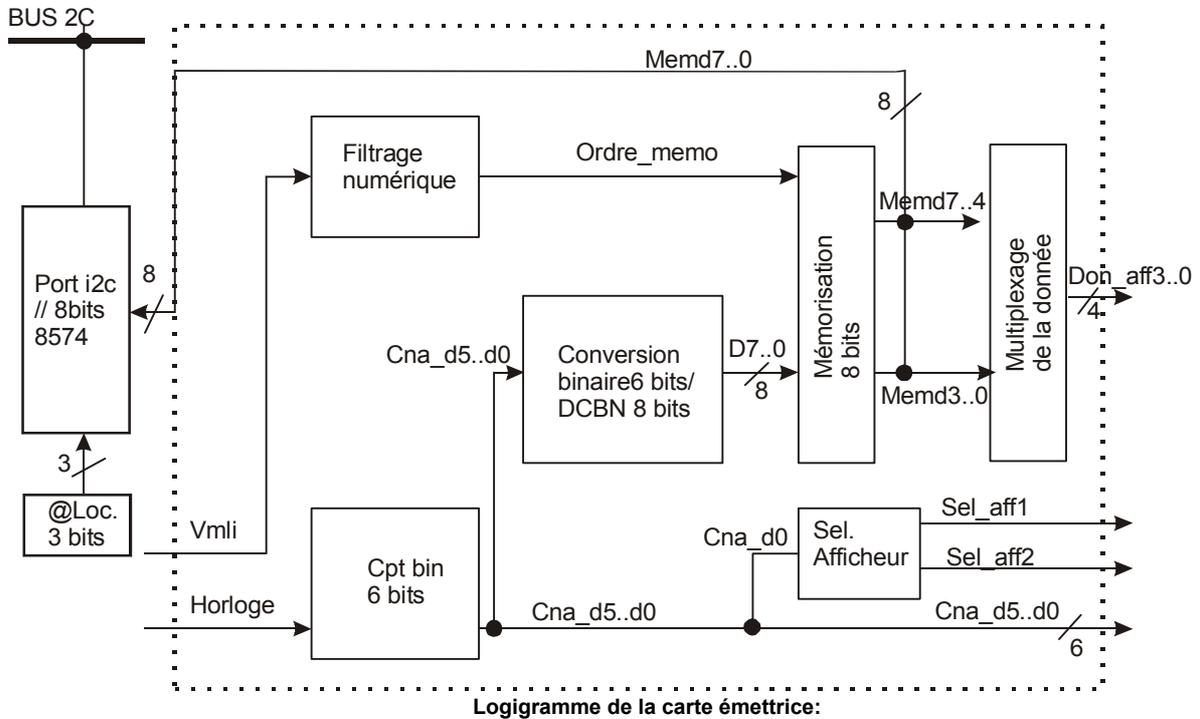
3. Analyse du cahier des charges.

Les cartes PLD situées au niveau de la prise de mesure seront configurées avec une adresse impaires (esclaves émettrices) et celles chargées d'afficher l'information transmise seront au contraire configurées avec une adresse paire (esclaves réceptrices).

Chaque binôme doit s'associer avec un autre binôme pour former un couple d'adresse émetteur/récepteur et se verront confier un couple d'adresse de configuration par le responsable du contrôleur de bus.

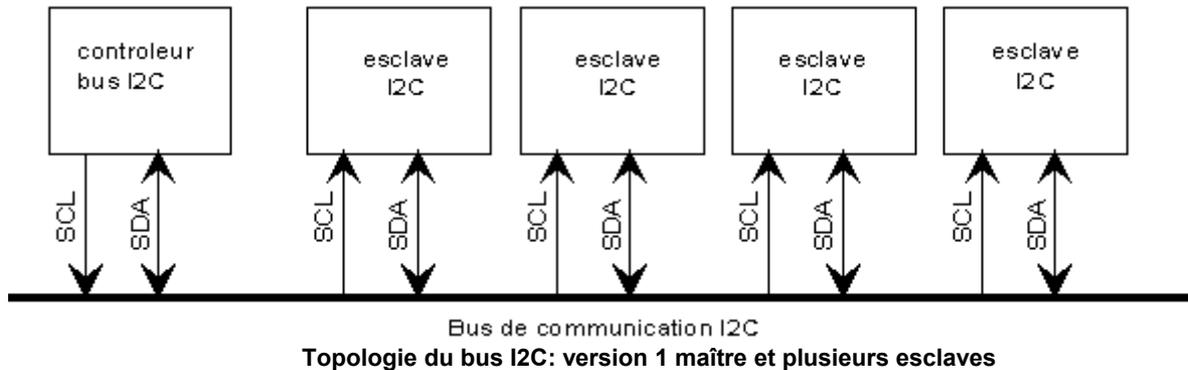
Attention: si vous ne respectez pas votre adressage, il y aura conflit d'échange sur le bus et le contrôleur vous éliminera de sa table de communication!!!!.

L'objectif est donc de modifier le logigramme du gestionnaire global pour que la température mesurée soit aussi recopiée vers le port // I2C (pour les cartes émettrice) ou plus simplement recopiée en provenance de ce même port // à destination de l'affichage pour la carte réceptrice.



4. Topologie du bus.

Le bus I2C est un bus de communication série dit "2 fils" (2 wire BUS) mais en fait il est nécessaire de rajouter la masse pour référencer les deux signaux d'information (SDA et SCL). Dans la salle ER1 le contrôleur est situé en bout de chaîne et toutes les cartes esclaves se connectent en parallèle sur les fils de ce bus. Dans la mesure où toutes les cartes esclaves voient passer les mêmes signaux en même temps, on comprend aisément le mécanisme d'adressage qu'il est nécessaire de mettre en place. Ainsi, seule la carte voyant passer son adresse sur le bus sera susceptible de se reconnaître et de répondre à une requête du contrôleur de bus (le maître).



Pour le périphérique I2C qui nous intéresse (PCF8574), l'adresse est composée de deux parties: Une partie fixe codée sur 4 bits et définie par la norme I2C et le fabricant du circuit (philips). Cette partie constitue les 4 bits de poids fort de l'adresse. Elle vaut 40h ou 70h suivant qu'il s'agisse d'une PCF8474 ou d'un PCF8574A.

La partie variable, codée du 3 bits modifiables par l'utilisateur, permet de distinguer entre eux plusieurs périphériques de références constructeur identiques (ce qui est utile dans notre application). Ainsi, un PCF8574 configuré avec l'adresse utilisateur 3 possède une adresse complète : 43h.

Cette partie variable est configurable au moyen de 3 switches sur la carte PLD LOG_alt1 . Lorsque le switch est en position "ON" le bit d'adresse correspondant est mis à "0" et inversement en position "OFF" il est mis à "1". Ainsi, pour configurer l'adresse utilisateur "3" il faut respectivement mettre les trois switches, SW3 SW2 SW1 en position ON,OFF,OFF pour obtenir "011".

A titre d'information, le sujet contient un résumé de la norme I2C pour notre application. Ce bus de communication possède de nombreuses autres extensions et possibilités ce qui signifie que cette documentation ne possède aucun caractère exhaustif. Il sera donc nécessaire de se référer à la documentation officielle pour plus d'informations sur le bus I2C.

5. Le BUS I2C TM

Objectif du document: donner les éléments de bases permettant la compréhension de la norme I2C et le protocole de communication mis en jeu.

5.1 Spécifications du Bus I2C.

- Transfert de données bidirectionnel half duplex.
- Protocole de type maître/esclave avec extension en mode multi maîtres
- Identification physique de chaque périphériques sur le bus par une adresse propre. (7 bits)
- dispositif d'acquiescement pour le contrôle d'intégrité des transferts d'informations
- vitesses de transfert dépendantes du maître courant et synchronisation des échanges par horloge de sérialisation propagée sur le bus.(jusqu'à 400kBits/s)
- format de donnée transmis sur huit bits
- norme électrique d'échange de type TTL. **Bus de type collecteur ouvert** avec résistances de tirage (pull up).

5.2 Terminologie

Émetteur: composant ou périphérique qui envoie une donnée sur le bus.

Récepteur: composant ou périphérique qui reçoit une donnée.

Maître: composant ou périphérique qui initie un transfert d'information, génère le signal d'horloge et décide de la fin du transfert.

Esclave : composant ou périphérique adressé par un maître.

Pour définir un périphérique au sens large, il faut indiquer deux propriétés de type émetteur/maître émetteur/esclave, récepteur maître ou récepteur esclave. Le sens du transfert et l'esclave adressé restent figés pendant toute la durée du transfert.

5.3 Notion de bus

Aspect général:

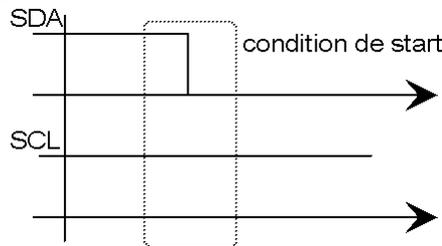
Un bus définit un ensemble de signaux parmi lesquelles figureront des signaux d'information et de synchronisation qui seront visibles par un ensemble de circuit périphériques dans le but d'échanger des informations. Dans le cas de la norme I2C, le nombre de fils qui transitent entre les périphériques est au minimum de trois (SCL serial clock, SDA Serial Data et une référence de potentiel GND).

Dans le cas général, le transfert d'information peut être effectué sous forme parallèle (plusieurs lignes de données sont émises simultanément pour transmettre l'information) ou sous forme série (sur une seule ligne de donnée, l'information est transmise bit à bit). Dans le deuxième cas, la simplification de la topologie physique du bus doit être compensée par une complexification silicium ou logiciel des périphériques du bus pour sérialiser/désérialiser l'information qui transite. L'I2C répond à ce deuxième cas de figure.

5.4 Terminologie du transfert sur le bus

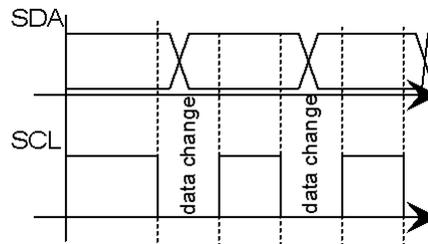
•F, free, libre: bus libre, SDA et SCL sont à 1.

•S start, départ: condition de start ou démarrage d'un transfert de données. SCL étant à 1, SDA passe de 1 à 0. (condition impossible lors d'un transfert de donnée en cours).(réalisé par le maître courant sur le bus).

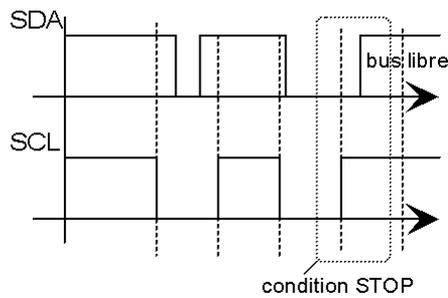


•C, Change, Changement: **lorsque SCL=0** le bit de donnée à sérialiser est appliqué sur SDA.

•D ,data, donnée: la donnée présente sur SDA est stable lorsque SCL=1 et peut être échantillonnée par le récepteur.

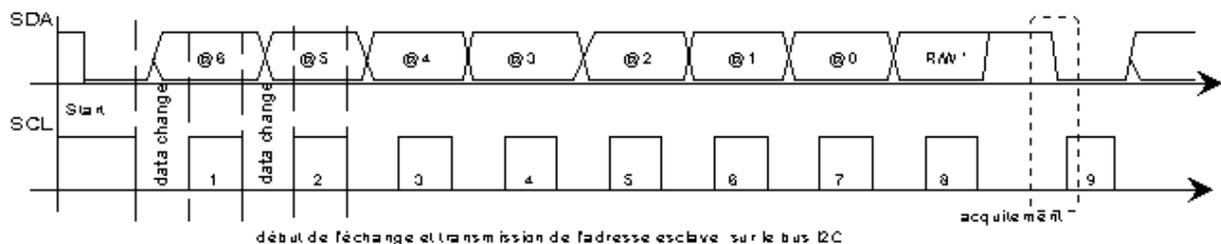


•P, STOP, arrêt: condition de stop permettant de conclure un échange .Réalisé par le maître et se traduit par un front montant de SDA alors que SCL est à 1. Le bus redevient à nouveau libre.

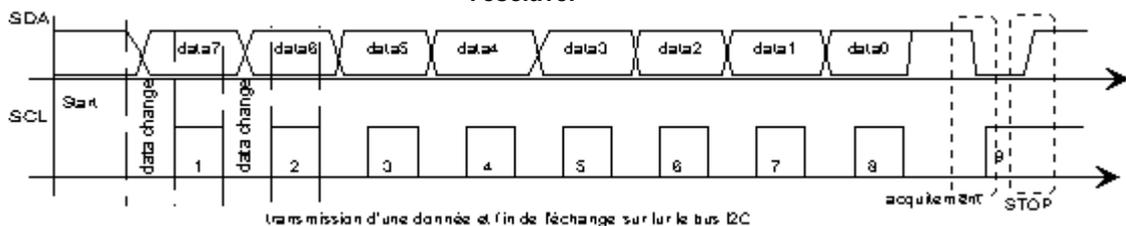


• **Acquittement ,Acknowledge:** après le huitième coup d'horloge , le récepteur de l'échange(qu'il soit maître ou esclave) doit procéder à l'acquittement pour indiquer à l'émetteur (qu'il soit maître ou esclave) que l'information a bien été reçue. Lorsque le 8ème coup d'horloge est passé (SCL repasse alors à 0) l'émetteur de la donnée relâche la ligne SDA (à 1), le récepteur doit faire alors passer SDA à 0. Le récepteur de l'acquittement doit **attendre** que SDA soit à 0 avant que le maître ne fasse remonter SCL à 1.

Si SDA est à 0, SCL peut remonter à 1 et valider l'acquittement. En cas de non acquittement, le maître peut générer un stop pour terminer le transfert avec l'esclave qui ne répond pas ou si il s'agit d'un récepteur/maître il peut décider de ne pas acquitter volontairement pour disposer librement de SDA et générer une condition de STOP.



Exemple de transmission de l'adresse d'un esclave I2C par le maître et acquittement par l'esclave.



Exemple de transmission d'une donnée, acquittement par le récepteur et fin de l'échange.

5.5 Mode d'adressage.

L'adressage d'un périphérique se fait sur 7 bits ce qui limite le nombre de périphériques à 128 au maximum (pour les périphériques standard mais ce mode possède des extensions). Chaque circuit répondant à la norme I2C doit donc pouvoir être identifié par une adresse spécifique éventuellement paramétrable en partie par l'utilisateur afin de pouvoir utiliser des périphériques identiques simultanément (voir doc. PCF 8574 en annexe.).

Pour étendre ce mode d'adressage, certaines adresses sont réservées et ne correspondent plus directement à un périphérique mais à une famille de périphérique. Dans ce cas , l'adresse définitive du périphérique sera transmis lors du deuxième octet (extension du mode d'adressage).

On peut faire passer l'adresse de 7 à 10 bits ou on peut adresser des bus de protocole différents (ex: CBUS).

5.6 Câblage du bus

Ce bus trois fils n'est pas extensible sur une longue distance (quelques mètres seulement).

1er cas. Bus se propageant sur une même carte.

seuls SDA, SCL et GND doivent circuler sur la carte. On essaiera de faire circuler GND entre SCL et SDA sur le circuit imprimé afin de limiter les effets de diaphonie entre ces deux signaux.

2eme cas: Bus se propageant entre cartes distantes.

Si les récepteurs sont nombreux et physiquement distant, chacun d'eux doit être muni de ses propres résistances de tirage locales sur SCL et SDA à +5V et il est donc nécessaire de propager l'alimentation positive Vdd du bus. Il est préférable d'utiliser des paires torsadées pour SCL/GND et SDA/GND.

5.7 Spécifications électriques:

La tension normalisée d'alimentation du bus Vdd est de $5V \pm 10\%$.

Niveau de commutation en entrée:

Vilmax=1.5V

Vihmin= 3V

Niveau de commutation en sortie

Volmax =0.4V sous 3mA de tirage.

au niveau 1, le niveau est imposé par le pull up soit donc Vdd.